

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)特許出願公表番号

特表2002-533931

(P2002-533931A)

(43)公表日 平成14年10月8日(2002.10.8)

(51)Int.Cl.	識別記号	FI	5-コード(参考)
H01L 21/8247		H01L 21/28	A 4M104
21/28		27/10	481 5F048
21/8234			484 5F083
27/088		28/78	371 5F101
27/10	481	27/08	102C

審査請求 未請求 予備審査請求 未請求(全 25 頁) 最終頁に続く

(21)出願番号 特願2000-590216(P2000-590216)  
(86)(22)出願日 平成11年12月1日(1999.12.1)  
(85)翻訳文提出日 平成12年8月16日(2000.8.16)  
(86)国際出願番号 PCT/EP99/09356  
(87)国際公開番号 WO00/88237  
(87)国際公開日 平成12年6月29日(2000.6.29)  
(31)優先権主張番号 98204342.4  
(32)優先日 平成10年12月18日(1998.12.18)  
(33)優先権主張国 欧州特許庁(EP)  
(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

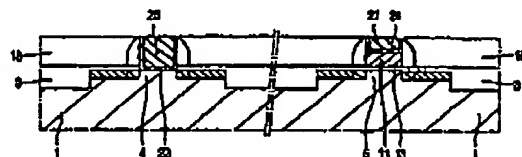
(71)出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
Koninklijke Philips Electronics N.V.  
オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1  
(72)発明者 アンドレアス ハー モントレー  
オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6  
(72)発明者 ジュリアーン シュミッツ  
オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6  
(74)代理人 弁理士 杉村 晴秀 (外2名)

最終頁に続く

(54)【発明の名称】 半導体デバイスの製造方法

## (57)【要約】

電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する方法において、第1導電型の第1及び第2アクティブ領域(4)及び(5)をそれぞれ前記トランジスタ及びメモリ素子用に半導体本体内に限定する。次に、半導体本体の表面を前記トランジスタの犠牲ゲート絶縁膜及びメモリ素子のフローティングゲート絶縁膜(13)を与える第1絶縁層で覆い、次にこの第1絶縁層を前記トランジスタの犠牲ゲート及びメモリ素子のフローティングゲート(11)を与えるシリコン含有層で覆う。犠牲ゲート及びフローティングゲート(11)の形成後に、前記トランジスタ及びメモリ素子に第2導電型のソース及びドレイン領域を設ける。次の工程において、誘電体層(18)を被着し、この誘電体層を、第1及び第2アクティブ領域(4)及び(5)において前記シリコン含有層が露出するまで、その厚さの少なくとも一部分に亘って除去し、その後第1アクティブ領域(4)における前記シリコン含有層及び第1絶縁層を除去して、前記誘電体層(18)に凹部を形成する。次に、メモリ素子の内部ゲート絶縁膜(24)を与える第2絶縁層を第2アクティブ領域



(2)

特表2002-533931

**【特許請求の範囲】**

**【請求項1】** 半導体本体を具え、その表面に、半導体本体からゲート絶縁膜により絶縁されたゲートを有する電界効果トランジスタと、フローティングゲート及び制御ゲートを有する不揮発性メモリ素子が設けられ、前記フローティングゲートは半導体本体からフローティングゲート絶縁膜により絶縁され、制御ゲートから内部ゲート絶縁膜により絶縁されている半導体デバイスを製造する方法であって、表面に隣接する第1導電型の第1及び第2アクティブ領域をそれぞれ前記トランジスタ及びメモリ素子用に半導体本体内に限定し、表面を前記メモリ素子のフローティングゲート絶縁膜を与える第1絶縁層で被覆し、この第1絶縁層の上に前記メモリ素子のフローティングゲートを与えるシリコン含有層を被着し、その後に前記メモリ素子の第2導電型のソース及びドレイン領域を半導体本体内に設け、第2絶縁層を第2アクティブ領域に被着して前記メモリ素子の内部ゲート絶縁膜を与え、この第2絶縁層の上に前記メモリ素子の制御ゲートを与える導電層を被着する半導体デバイスの製造方法において、前記メモリ素子のフローティングゲート及びフローティングゲート絶縁膜の形成と一緒に、第1アクティブ領域に、前記電界効果トランジスタの犠牲ゲート及び犠牲ゲート絶縁膜をそれぞれ形成し、その後に前記トランジスタのソース及びドレイン領域を前記メモリ素子のソース及びドレイン領域と一緒に形成し、誘電体層を被着し、この誘電体層を、第1及び第2アクティブ領域において前記シリコン含有層が露出するまで、その厚さの少なくとも一部分に亘って除去し、その後に第1アクティブ領域における前記シリコン含有層及び第1絶縁層を除去して、前記誘電体層に凹部を形成し、この凹部内に、第1アクティブ領域における前記トランジスタのゲート絶縁膜を与える第3絶縁層を被着し、その後に前記導電層を堆積し、これで第1アクティブ領域の前記凹部を満たし、この導電層を第1アクティブ領域における前記トランジスタのゲート及び第2アクティブ領域における前記メモリ素子の制御ゲートに成形することを特徴とする半導体デバイスの製造方法。

**【請求項2】** シリコン含有層を、シリコンの第1サブ層の上にシリコンより除去処理に対し高い抵抗を示すとともに前記誘電体層に対し選択的にエッチングし得る材料からなる第2サブ層を具える2重層として設け、第2アクティブ領域に

(3)

特表2002-53931

における前記第2サブ層を第1アクティブ領域における前記シリコン含有層と一緒に除去して第2アクティブ領域における前記誘電体層に他の凹部を形成し、この他の凹部内に前記第2絶縁層を被着して前記メモリ素子の内部ゲート絶縁膜を与え、その後に前記導電層を被着して、第1アクティブ領域における前記凹部と一緒に第2アクティブ領域における前記他の凹部を満たし、これにより前記メモリ素子の制御ゲート及び前記トランジスタのゲートを与えることを特徴とする請求項1記載の方法。

【請求項3】 前記誘電体層として酸化シリコンを堆積し、前記第2サブ層として窒化シリコン層を堆積することを特徴とする請求項2記載の方法。

【請求項4】 前記導電層を被着し、これで第2アクティブ領域の前記他の凹部と一緒に第1アクティブ領域の前記凹部を満たした後に、前記導電層をマスク無しで前記第2又は第3絶縁層又は前記誘電体層のどちらかが露出するまで除去することによって前記導電層を前記トランジスタのゲート及び前記メモリ素子の制御ゲートに成形することを特徴とする請求項2又は3記載の方法。

【請求項5】 前記導電層は化学機械研磨によって除去することを特徴とする請求項4記載の方法。

【請求項6】 前記第2絶縁層及び第3絶縁層は前記トランジスタのゲート絶縁膜及び前記メモリ素子の内部ゲート絶縁膜を与える一つの共通の層の一部として被着することを特徴とする請求項1-5の何れかに記載の方法。

【請求項7】 酸化シリコンの比誘電率より高い比誘電率を有する絶縁材料を前記第3絶縁層として設けることを特徴とする請求項1-6の何れかに記載の方法。

【請求項8】 酸化シリコンの比誘電率より高い比誘電率を有する絶縁材料を前記第2絶縁層として設けることを特徴とする請求項1-6の何れかに記載の方法。

【請求項9】 前記絶縁材料として酸化タンタル、酸化アルミニウム及び窒化シリコンからなる群から選択される材料を用いることを特徴とする請求項7又は8記載の方法。

【請求項10】 前記トランジスタのゲート絶縁膜を与える前記第3絶縁層を、

(4)

特表2002-533931

前記メモリ素子のフローティングゲート絶縁膜を与える第1絶縁層の、 $d/\epsilon_r$ で定義される（ここで $d$ はゲート絶縁膜の幾何学的厚さ及び $\epsilon_r$ はゲート絶縁膜の比誘電率／酸化シリコンの比誘電率）等価酸化膜厚より小さい等価酸化膜厚に設けることを特徴とする請求項1-9の何れかに記載の方法。

【請求項11】 前記第3絶縁層は約1.5nm～4nmの等価酸化膜厚に設け、前記第1絶縁層は約6～10nmの等価酸化膜厚に受けることを特徴とする請求項10記載の方法。

【請求項12】 前記トランジスタのゲート及び前記メモリ素子の制御ゲートを与える前記導電層は金属層の堆積により設けることを特徴とする請求項1-11の何れかに記載の方法。

【請求項13】 前記導電層は接着層及び／又は障壁層として作用する層の上に金属層を具える2重層として設けることを特徴とする請求項12記載の方法。

【請求項14】 前記金属としてアルミニウム、タングステン、銅及びモリブデンからなる群から選択される金属を用いることを特徴とする請求項12又は13記載の方法。

(5)

特表2002-533931

**【発明の詳細な説明】****【0001】**

本発明は、半導体本体を具え、その表面に、半導体本体からゲート絶縁膜により絶縁されたゲートを有する電界効果トランジスタと、フローティングゲート及び制御ゲートを有する不揮発性メモリ素子が設けられ、前記フローティングゲートは半導体本体からフローティングゲート絶縁膜により絶縁され、制御ゲートから内部ゲート絶縁膜により絶縁されている半導体デバイスを製造する方法であって、表面に隣接する第1導電型の第1及び第2アクティブ領域をそれぞれ前記トランジスタ及びメモリ素子用に半導体本体内に限定し、表面を前記メモリ素子のフローティングゲート絶縁膜を与える第1絶縁層で被覆し、この第1絶縁層の上に前記メモリ素子のフローティングゲートを与えるシリコン含有層を被着し、その後前記メモリ素子の第2導電型のソース及びドレイン領域を半導体本体内に設け、第2絶縁層を前記第2アクティブ領域に被着して前記メモリ素子の内部ゲート絶縁膜を与え、この第2絶縁層の上に前記メモリ素子の制御ゲートを与える導電層を被着する半導体デバイスの製造方法に関するものである。

**【0002】**

頭書に記載した種類の半導体デバイスの製造方法はUS-A 5,340,764から既知である。既知の方法では、第1の一連の工程を実行して、内部ゲート絶縁膜により互いに分離され且つ半導体本体からフローティングゲート酸化膜により絶縁された積層多結晶シリコン（以後、略してポリシリコン層という）の2つの積層からなる不揮発性メモリ素子を製造している。不揮発性メモリ素子の形成後に、第2の一連の工程を実行して電界効果トランジスタを製造している。この目的のために、比較的薄いゲート酸化膜を被着し、この酸化膜を電界効果トランジスタのゲートを与える他のポリシリコン層で覆う。このポリシリコン層をパターン化した後に、ゲートを隣接フィールド酸化膜絶縁領域と一緒にマスクとして用いてセルフアライン注入により電界効果トランジスタにソース及びドレイン領域を設ける。

**【0003】**

従来、セルフアライン注入は半導体本体内に原子を実際に注入した後にアニー

(6)

特表2002-533931

ル又は所謂ドライブイン工程が実行され、この工程は注入した原子を活性化するとともに半導体本体の格子に生じた注入損傷を修復するために1000℃のような高温で実行される場合が多い。

**【0004】**

既知の方法の欠点は、メモリ素子の制御ゲート及び内部ゲート絶縁膜のみならず電界効果トランジスタのゲート及びゲート絶縁膜が電界効果トランジスタのソース及びドレイン領域のセルフアライン注入前に形成され、従って実際の注入後に実行される高温のアニールプロセスを受ける点にある。その結果として、ゲート及び制御ゲートに対してのみならずゲート絶縁膜及び内部ゲート絶縁膜に対してもプロセスコンパチブル材料を選択するのに厳しい制約が課される。既知の方法の他の欠点は、不揮発性メモリ素子及び電界効果トランジスタに対して個別にデバイス最適化を達成するためにプロセスシーケンスがかなり複雑になる点にある。

**【0005】**

本発明の目的は、頭書に記載した種類の半導体デバイスを製造する方法において、慣例のCMOSプロセスシーケンスにおけるロジックデバイス及び不揮発性デバイスに対するプロセスコンパチブル材料の使用に関しフレキシビリティを増大させるとともに、ロジックデバイス特性及び不揮発性デバイス特性の個別の最適化を、プロセスシーケンスの複雑度を殆ど増大することなく達成することにある。

**【0006】**

本発明は、この目的を達成するために、頭書に記載した半導体デバイスの製造方法において、前記メモリ素子のフローティングゲート及びフローティングゲート絶縁膜の形成と一緒に、第1アクティブ領域に前記電界効果トランジスタの犠牲ゲート及び犠牲ゲート絶縁膜をそれぞれ形成し、その後に前記トランジスタのソース及びドレイン領域をメモリ素子のソース及びドレイン領域と一緒に形成し、誘電体層を堆積し、この誘電体層を、第1及び第2アクティブ領域において前記シリコン含有層が露出するまで、その厚さの少なくとも一部分に亘って除去し、その後に第1アクティブ領域における前記シリコン含有層及び第1絶縁層を除

(7)

特表2002-53931

去して、前記誘電体層に凹部を形成し、この凹部内に、第1アクティブ領域における前記トランジスタのゲート絶縁膜を与える第3絶縁層を堆積し、その後に導電層を堆積し、これで第1アクティブ領域の前記凹部を満たし、この導電層を第1アクティブ領域における前記トランジスタのゲート及び第2アクティブ領域における前記メモリ素子の制御ゲートに成形することを特徴とする。

【0007】

本発明の上述の手段によれば、電界効果トランジスタのゲート及びゲート絶縁膜とメモリ素子の制御ゲート及び内部ゲート絶縁膜は、一旦形成されたら、実際のソース/ドレイン注入後に実行されるドライブイン工程の高温（多くの場合1000℃）にさらされることがない。これにより、慣例のCMOS技術におけるゲート及び制御ゲート並びにゲート絶縁膜及び内部ゲート絶縁膜に対するプロセスコンパチブル材料の使用に大きなフレキシビリティが得られる。更に、本発明の方法は、できるだけ多数の共通のプロセス工程を使用し、プロセスの複雑化を抑えながら、慣例のCMOS技術で、ロジックデバイス特性及び不揮発性デバイス特性を個別に最適化することができる。

【0008】

上述の利点は、最初に、メモリ素子にフローティングゲート及びフローティングゲート絶縁膜を設け得ると同時に、電界効果トランジスタに犠牲ゲート及び犠牲ゲート絶縁膜を設け、ソース及びドレイン領域のセルフアライン注入と関連する高温アニールが既に実行された後の段階において、犠牲ゲート及び犠牲ゲート絶縁膜を実際のゲート及び実際のゲート絶縁膜と取り替えると同時に、メモリ素子に制御ゲート及び内部ゲート絶縁膜を与えることにより達成される。

【0009】

この犠牲ゲートの実際のゲートとの取替えは「IEDM97(1997)」pp.821-824に発表されたChatterjee等の論文「Sub-100nm gate length metal gate NMOS transistors fabricated by a replacement gate process」に記載されている取替えゲートプロセスに類似性を示す。この取替えゲート技術の代表的な特徴は、全ての高温アニールを実際のゲートの形成前に実行し、ソース/ドレイン領域にセルフアラインした実際のゲートを形成しているだけである。

(8)

特 許 2002-533931

## 【0010】

トランジスタの犠牲ゲート及びメモリ素子のフローティングゲートは、ポリシリコン、又はできればアモルファスシリコン又は $\text{Ge}_x\text{Si}_{1-x}$  ( $x$ は0~1の範囲内のゲルマニウムの含有比)を含むシリコン含有層から形成する。トランジスタの犠牲ゲートの除去前に、比較的厚い誘電体層を被着してトランジスタの犠牲ゲート及びメモリ素子のフローティングゲートを覆う。次にこの誘電体層を、犠牲ゲート及びフローティングゲートが露出するまで、その厚さの少なくとも一部分に亘って、例えば化学機械研磨によって除去する。次に、トランジスタの犠牲ゲートを選択エッチングにより除去する。犠牲ゲートの除去後に、ディップエッチングを実行してその下の犠牲ゲート絶縁膜を除去する。トランジスタの犠牲ゲート及び犠牲ゲート絶縁膜の除去中、非臨界的マスクを用いてメモリ素子のフローティングゲート及びフローティングゲート絶縁膜がエッチャントに接触し得ないようにする。このようにして、前記誘電体層の、それまでトランジスタの犠牲ゲート及び犠牲絶縁層が存在した位置に凹部が形成される。第2絶縁層をメモリ素子の区域に被着してメモリ素子の内部ゲート絶縁膜を与えた後に、第3絶縁層を前記凹部に被着してトランジスタの実際のゲート絶縁膜を与える。次に表面を導電層で覆い、これで前記凹部を満たし、この導電層をトランジスタの実際のゲート及びメモリ素子の制御ゲートに成形する。

## 【0011】

前記誘電体層の化学機械研磨(CMP)を停止させる瞬時はかなり臨界的であることが実験により確かめられた。CMPプロセスの停止が早すぎると、酸化物が犠牲ゲート上に残存し、これが次の犠牲ゲートの除去を妨害する。CMPプロセスが長く実行されすぎると、実際のゲートの高さの限定が悪影響を受ける。プロセスの高さの限定を改善するために、シリコン含有層を、第1シリコン含有サブ層の上にシリコンより除去処理に対し高い抵抗を有するとともに前記誘電体層に対し選択的にエッチングし得る材料からなる第2サブ層を具える2重層として設けるのが好ましい。従って、第2サブ層は誘電体層の除去中エッチストップ層として作用する。この点に関し、第2サブ層としては窒化シリコンを使用し、誘電体層としては酸化シリコンを使用するのが有利である。或いは又、窒化シリコ



(9)

特許2002-533931

ンの代わりに酸化アルミニウム及び／又は酸化シリコンの代わりにBPSG（硼素磷珪酸ガラス）を使用することができる。第2サブ層は、犠牲ゲートの除去前に、トランジスタの犠牲ゲート及びメモリ素子のフローティングゲートの双方から選択的に除去する。このようにすると、誘電体層に、トランジスタの区域の凹部と一緒に、メモリ素子の区域にも他の凹部が形成される。ここで、メモリ素子の内部ゲート絶縁膜を与える第2絶縁層を他の凹部内に被着する。次に導電層を被着して両凹部を満たす。トランジスタのコンパクトゲート構造をメモリ素子のコンパクトスタックゲート構造と一緒に与えるために、導電層をマスク無し除去によって第2又は第3絶縁層又は誘電体層のどちらかが露出するまで除去することによって導電層をゲート及び制御ゲートに成形するのが好ましい。このようにしてゲート及び制御ゲートを誘電体層内に埋設する。上述した導電層のマスク無し除去は化学機械研磨（CMP）によって達成するのがこのましい。第2絶縁層又は第3絶縁層（もしあれば）の次のマスク無し除去は必要ないが、第2又は第3絶縁層が高い比誘電率を有する材料からなる場合にはこの除去を有益とすることができる。

#### 【0012】

0.1  $\mu\text{m}$ に近似するゲート長を有するロジックデバイスの最適化に関しゲート絶縁膜に課される要求は不揮発性デバイスの最適化に関しフローティングゲート絶縁膜に課される要求と相違する。

#### 【0013】

不揮発性メモリ素子はフローティングゲートを有するトランジスタにより形成され、そのしきい値がフローティングゲート上に電荷の形で書き込まれた情報により決まる。制御ゲートは、一方では、読取り中にしきい値電圧、従って書き込まれた情報が何であるか検出するよう作用し、他方では、書き込み及び／又は消去中にフローティングゲートの電位を制御するよう作用する。メモリ素子のチャネルからフローティングゲートを絶縁するフレームゲート絶縁膜は書き込み及び／又は消去を可能にするために十分に薄くする必要がある同時に、いったんトランジスタのしきい値電圧が上昇したらフローティングゲートからの電荷の漏れを阻止するために十分厚くする必要がある。一般に直接トンネリング効果により生ずる

(10)

特表2002-533931

フローティングゲートからの電荷の漏れは、できるだけ長くすべきであるメモリ素子の記憶保持時間に有害である。上述の理由から、通常酸化シリコンからなるメモリ素子のフローティングゲート絶縁膜、従ってフローティングゲート絶縁膜が形成される第1絶縁層は約6-10 nmの幾何学的厚さに設けるのが有利である。メモリ素子のフローティングゲートから制御ゲートを絶縁する内部ゲート絶縁膜はフローティングゲートからの電荷の漏れを阻止するために十分に厚くする必要があり、同時に、制御ゲートとフローティングゲートとの間に大きな容量結合を達成するために十分に薄くする必要がある。また、制御ゲートとフローティングゲートとの間の容量結合は内部ゲート絶縁膜の幾何学的厚さを減少させることにより向上させることができるのみならず、所定の幾何学的厚さにおいて内部ゲート絶縁膜の比誘電率を増大させることにより向上させることもできる。それゆえ、メモリ素子の内部ゲート絶縁膜として、従って内部ゲート絶縁膜が形成される第2絶縁層として、酸化シリコンの比誘電率 ( $\epsilon \sim 4$ ) より高い比誘電率有する絶縁材料を用いるのが好ましい。

#### 【0014】

更に、電界効果トランジスタのチャネルからゲートを絶縁するゲート絶縁膜はゲートとチャネルとの間にできるだけ高い容量結合を達成するためにできるだけ薄くする必要がある。トランジスタのゲート絶縁膜を通過する漏れ電流はメモリ素子のフローティングゲート絶縁膜と内部ゲート絶縁膜を通過する漏れ電流より臨界的でないが、トランジスタのゲート絶縁膜は十分に厚くする必要がある。一般に、漏れ電流の抑圧のために1.5 nm以上のシリコン酸化膜の厚さが採用されている。所定の幾何学的厚さにおいて、ゲート絶縁膜の比誘電率を増大させることによりゲートとチャネルとの間の容量結合を向上させることができる。それゆえ、トランジスタのゲート絶縁膜、従ってゲート絶縁膜が形成される第3絶縁層を酸化シリコンの比誘電率 ( $\epsilon \sim 4$ ) より高い比誘電率有する絶縁材料で構成するのが好ましい。以上の理由から、トランジスタのゲート絶縁膜は約1.5-4 nmの  $d/\epsilon_r$  で定義される等価酸化膜厚（ここで  $d$  はゲート絶縁膜の幾何学的厚さ及び  $\epsilon_r$  はゲート絶縁膜の比誘電率対酸化シリコンの比誘電率の比）にするのが好ましい。

(11)

特表2002-533931

## 【0015】

以上の理由から、メモリ素子の内部ゲート絶縁膜を与える第2絶縁層並びにトランジスタのゲート絶縁膜を与える第3絶縁層は酸化シリコンの比誘電率( $\epsilon \sim 4$ )より高い比誘電率を有する絶縁材料で構成するのが好ましい。この点に関し、酸化タンタル( $\text{Ta}_2\text{O}_5$ ;  $\epsilon \sim 20\text{--}25$ )、酸化アルミニウム( $\text{Al}_2\text{O}_3$ ;  $\epsilon \sim 10$ )又は窒化シリコン( $\text{Si}_3\text{N}_4$ ;  $\epsilon \sim 7$ )が有利であり、蓋しこれらの材料は化学気相成長(CVD)により高い相似性及び再現性で堆積されるからである。従来方法において高比誘電率ゲート絶縁膜/内部ゲート絶縁膜を適用すると、これらのゲート絶縁膜がトランジスタのソース/ドレイン注入と関連するアニールの高温度にさらされてそれらの特性が劣化し得る点に注意されたい。本発明の方法では、ゲート絶縁膜/内部ゲート絶縁膜はいったん形成されたら後続のプロセス工程において高温度にさらされない。

## 【0016】

プロセス中のマスクの数を最少に維持するために、第2絶縁層及び第3絶縁層をメモリ素子の内部ゲート絶縁膜及びトランジスタのゲート絶縁膜を与える一つの共通の層の一部として設けるのが好ましい。

## 【0017】

メモリ素子特性とトランジスタ特性の両方の満足な最適化を達成するために、上述した理由から、トランジスタのゲート絶縁膜を与える第3絶縁層を、メモリ素子のフローティングゲート絶縁膜を与える第1絶縁層の $d/\epsilon_r$ で定義される等価酸化膜厚(ここで $d$ はゲート絶縁膜の幾何学的厚さ及び $\epsilon_r$ はゲート絶縁膜の比誘電率対酸化シリコンの比誘電率の比)より小さい等価酸化膜厚にする。この点に関し、第3絶縁層は約1.5~4 nmの等価酸化膜厚で設けるとともに第1絶縁層は約10 nmの等価酸化膜厚で設けるのが好ましい。

## 【0018】

ゲート及び制御ゲート、従って両ゲートが形成される導電層は慣例のポリシリコンの代わりに金属で構成するのが有利である。ポリシリコンと異なり、金属は本質的に比較的低い抵抗値を有し、有害なデプレッション効果を受けない。この点に関し、アルミニウム、タンゲステン、銅又はモリブデンのような低抵抗金属

(12)

特表2002-533931

が有利である。金属を使用する場合には、前記導電層は接着層及び／又は障壁層として作用する層の上に金属層を具える2重層として設けるのが好ましい。この点に関し、チタン (Ti) を接着層として、窒化チタン (TiN) 又はチタタングステン (TiW) を障壁層として設けることができる。従来の方法において金属ゲート／制御ゲートを使用すると、トランジスタのソース／ドレイン注入と関連するアニールの高温度にさらされる結果として、アルミニウムゲート／制御ゲートの場合には溶融がする、そうでなければ金属ゲート／制御ゲートとゲート絶縁膜／内部ゲート絶縁膜との間に有害な相互作用が生ずる点に注意されたい。本発明の方法では、ゲート／制御ゲートは、いったん形成されたら、後続のプロセス工程において高温度にさらされることはない。

**【0019】**

本発明のこれらの目的及び他の目的は以下に記載する実施例を参照すると明らかになる。

図1-10は、電界効果トランジスタと不揮発性メモリ素子トランジスタを具える半導体デバイスを製造する本発明プロセスの順次の段階を示す断面図である。

**【0020】**

本発明を不揮発性メモリ素子と組み合わせられたMOSトランジスタに基づいて以下に説明する。本発明はそれ自体既知の任意の不揮発性メモリ素子、例えばEPROM (消去可能プログラマブルリードオンリメモリ)、EEPROM (電氣的に消去可能なリードオンリメモリ) 又はフラッシュEEPROMに有利に使用することができる。

**【0021】**

プロセスは第1導電型の半導体本体1 (本例では例えばp導電型のシリコン本体) から出発する (図1)。この半導体本体1には、表面2に、半導体本体1内に少なくとも部分的に埋設され、電界効果トランジスタを製造すべき第1アクティブ領域4を規定するとともに不揮発性メモリ素子を製造すべき第2アクティブ領域5を規定する比較的厚いフィールド酸化膜絶縁領域3が設けられている。この厚い酸化膜絶縁領域3はLOCOS (LOCal Oxidation of Silicon) 又はST

(13)

特表2002-533931

I (Shallow Trench Isolation) により通常の方法で形成される。次に、半導体本体1の表面2を、例えば酸化シリコンからなる第1絶縁層6で被覆し、この絶縁層をシリコン含有層9で覆う。第1絶縁層6は約6-10nmの幾何学的厚さに被着するのが好ましい。本例では、シリコン含有層9は、例えば燐又はできれば砒素のようなドーパントが添加されたものとし得るポリシリコンの第1サブ層7と、その上の、例えば窒化シリコンからなる第2サブ層8とからなる2重層である。窒化シリコンの代わりに、例えば酸化アルミニウム又は物質の組合わせのような他の任意の材料を使用することができる。ポリシリコンの代わりに、アモルファスシリコン又は $\text{Ge}_x\text{Si}_{1-x}$  ( $x$ は0~1の範囲内のゲルマニウム含有比を表わす)を使用することができる。シリコン含有層はポリシリコン、アモルファスシリコン又は $\text{Ge}_x\text{Si}_{1-x}$ からなる単一層にすることもできる点に注意されたい。

#### 【0022】

次に、図2に示すように、シリコン含有層9を通常の写真リソグラフィ法でパターン化して第1アクティブ領域4に犠牲ゲート10を設けるとともに第2アクティブ領域5にフローティングゲート11を設ける。犠牲ゲート10及びフローティングゲート11は第2サブ層8で覆われ、且つそれぞれ第1絶縁層6により与えられる犠牲ゲート絶縁膜12及びフローティングゲート絶縁膜13により半導体本体1から絶縁されている。シリコン含有層9のパターン化後に、第2(反対)導電型(本例ではn型)のソース/ドレイン延長領域14を第1アクティブ領域4の犠牲ゲート10の両側及び第2アクティブ領域5のフローティングゲート11の両側に、シリコン含有層9を酸化フィールド絶縁領域3と一緒にマスクとして用いて、例えば燐又は砒素の低ドーズのセルフアライン注入によって形成する。

#### 【0023】

次に、第2サブ層8で覆われた、トランジスタの犠牲ゲート10及びメモリ素子のフローティングゲート11の側壁に、既知の方法、例えば酸化シリコン層の堆積及び異方性エッチバックによってサイドウォールスペーサ15を形成する(図3)。サイドウォールスペーサ15の形成後に、第2導電型(本例ではn型)

(14)

特許2002-533931

の高ドーブソース領域16及びドレイン領域17を第1及び第2アクティブ領域4及び5のサイドウォールスペーサ15の両側に、酸化フィールド絶縁領域3をシリコン含有層9及びサイドウォールスペーサ15と一緒にマスクとして用いて、例えば磷又は砒素の高ドーズのセルフアライン注入によって形成する。

**【0024】**

次に、図4に示すように、本例では酸化シリコンからなる比較的厚い誘電体層18を堆積する。PSG（磷珪酸ガラス）又はBPSG（砒素磷珪酸ガラス）のような他の適当な絶縁材料を使用することもできる。

**【0025】**

次に、誘電体層18を、第1及び第2アクティブ領域4及び5の第2サブ層8が露出するまで、その厚さの少なくとも一部分に亘って除去する（図5）。これは、例えば市販のスラリーを用いて化学機械研磨（CMP）によって達成することができる。

**【0026】**

次の工程（図6）において、本例では酸化シリコンからなる第2サブ層8を、例えば磷酸及び硫酸の混合物を用いるウェットエッチングによって、本例では酸化シリコンからなる誘電体層18及びサイドウォールスペーサ15に対し選択的に除去する。このようにして、誘電体層18に、第1アクティブ領域4の位置に凹部19を形成するとともに、第2アクティブ領域5の位置に他の凹部20を形成する。

**【0027】**

次に、図7に示すように、第2アクティブ領域5の位置に非臨界的レジストマスク21を設け、その後に第1アクティブ領域4のトランジスタの犠牲ゲート10及び犠牲ゲート絶縁膜12を2つの別個のエッチング工程で除去する。本例ではポリシリコンからなる犠牲ゲートはホットKOH溶液を用いるウェットエッチングによって、又は例えばHBr/Cl<sub>2</sub>混合物を用いるプラズマエッチングによって選択的に除去することができる。本例では酸化シリコンからなる犠牲ゲート絶縁膜はHFを用いるウェットエッチングによって除去することができる。非臨界的マスク21はメモリ素子のフローティングゲート11及びフォローティングゲ

(15)

特表2002-533931

ート絶縁膜13が上述のエッチャントに接触するのを阻止する。

【0028】

次に、図8に示すように、第2絶縁層22を全露出表面上に堆積し、これにより第2アクティブ領域5のメモリ素子の内部ゲート絶縁膜24を第1アクティブ領域4のトランジスタの実際のゲート絶縁膜23と一緒に与える。第2絶縁層22は酸化シリコンからなるものとし得るが、酸化タンタル、酸化アルミニウム又は窒化シリコンのような酸化シリコンより高い比誘電率を有する絶縁材料の方が好ましい。トランジスタのゲート絶縁膜23は約1.5-4 nmの $d/\epsilon_r$ で定義される等価酸化膜厚（ここで $d$ は層23の幾何学的厚さ及び $\epsilon_r$ は層23の比誘電率対酸化シリコンの比誘電率）に設けるのが好ましい。本例では、トランジスタのゲート絶縁膜23及びメモリ素子の内部ゲート絶縁膜24は一つの共通の層、即ち第2絶縁層22の一部として形成される。例えば、メモリ素子の内部ゲート絶縁膜24を与える第2絶縁層22に加えて、トランジスタのゲート絶縁膜23を与える第3絶縁層（図示せず）を堆積することもできること勿論である。このようにすると、ゲート絶縁膜23及び内部ゲート絶縁膜24が別個の絶縁層から形成され、従ってゲート絶縁膜23の厚さ／組成を内部ゲート絶縁膜24の厚さ／組成と完全に別にすることができる。第3絶縁層が存在する場合には、この絶縁層は酸化シリコン又は好ましくは酸化シリコンより高い比誘電率を有する絶縁材料、例えば酸化タンタル、酸化アルミニウム又は窒化シリコンからなるものとする。酸化シリコンをゲート絶縁膜23及び内部ゲート絶縁膜24の両方に使用する場合には、これらの絶縁膜は、例えば化学気相成長又はシリコンの熱酸化を用いて、一工程で、又は一方のアクティブ領域をマスクで遮蔽しながら2つの別々の工程で得ることができる。一工程の熱酸化の場合には、ゲート絶縁膜23の厚さは単結晶シリコンの酸化速度よりポリシリコンの酸化速度の方が早いために内部ゲート絶縁膜24より自動的に小さくなる。高比誘電率材料の酸化タンタル、酸化アルミニウム及び窒化シリコンは、例えば化学気相成長（CVD）を用いて、一工程で、又は一方のアクティブ領域をマスクで遮蔽しながら2つの別々の工程で堆積することができる。

【0029】

(16)

特許2002-533931

次に、図9に示すように、導電層25を第2絶縁層22の上に通常の方法で被着し、これにより第1アクティブ領域4の凹部19及び第2アクティブ領域5の他の凹部20を満たす。導電層25も、ポリシリコン又はできればアモルファスシリコン又は $\text{Ge}_x\text{Si}_{1-x}$ を使用することができるが、アルミニウム、タングステン、銅又はモリブデンのような金属又は金属の組合わせを使用することもできる。導電層25は接着層及び／又は障壁層として作用する層の上に一つの金属又は金属の組合わせからなる層を具える2重層として堆積することもできる。この場合には、Tiを接着層として、TiN又はTiWを障壁層として被着することができる。

#### 【0030】

次の工程（図10）において、導電層25を第1アクティブ領域4のトランジスタの実際のゲート26及び第2アクティブ領域5のメモリ素子の制御ゲート27に成形する。これは、例えば第1及び第2アクティブ領域4及び5にオーバーサイズのマスクを用いてエッチングにより行うことができる。この場合には、ゲート26及び制御ゲート27の導電材料がそれぞれ凹部19及び凹部20を越えて第2絶縁層22で覆われた絶縁層18上まで延在する。しかし、マスクなしで導電層25を第2絶縁層22が露出するまで除去し、誘電体層18内に埋設されたトランジスタのゲート26及びメモリ素子の制御ゲート27を形成するのが好ましい。第2絶縁層22を除去して図10に示す結果を生ずる追加のマスク無し除去は必要ないが、第2絶縁層22が高い比誘電率を有する材料からなる場合にはこの追加の除去を行うのが有利である。導電層25のマスク無し除去又は導電層25及び第2絶縁層22の両方のマスク無し除去は、例えば市販のスラリーを用いて化学機械研磨（CMP）により達成することができる。

#### 【0031】

最後に、酸化膜堆積、接点窓形成及び1以上の金属層のメタライゼーション等の関例のCMOSプロセス工程（図示せず）により半導体デバイスを完成させる。

#### 【0032】

本発明は上述した実施例にのみ限定されず、当業者であれば本発明の範囲内に



(17)

特表2002-533931

において多くの変更が可能であることが明らかである。トランジスタのゲートの厚さ／組成をメモリ素子の制御ゲートの厚さ／組成から別個にするために、前記ゲート及び制御ゲートを一つの共通の導電層の代わりに2つの別個の導電層から形成することができる。ソース及びドレイン領域をドレイン延長領域なしで実現してプログラム／消去処理用にメモリ素子のフローティングゲート近くに十分高い電界が得られるようにすることもできる。更に、ソース及びドレイン領域の寄生抵抗を低減するために、ソース及びドレイン領域にTi又はCoを用いてシリサイド処理を施し、ソース及びドレイン領域にTi (TiSi<sub>2</sub>) 又はCo (CoSi<sub>2</sub>) のセルフアラインシリサイドを形成することができる。上述の実施例では、第1及び第2アクティブ領域は原半導体本体の表面領域で形成されているが、第1及び第2アクティブ領域は、半導体本体の表面に隣接する領域内にnチャネル又はpチャネル電界効果トランジスタ及び不揮発性メモリ素子用に好適なドーピング濃度で局部的にドーピングすることにより得られる慣例のp及び／又はnウェルとすることもできる。

【図面の簡単な説明】

【図1】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの一製造工程を示す断面図である。

【図2】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図3】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図4】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図5】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図6】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図7】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

(18)

特表2002-533931

【図8】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図9】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図10】 電界効果トランジスタと不揮発性メモリ素子とを具える半導体デバイスを製造する本発明プロセスの次の製造工程を示す断面図である。

【図1】

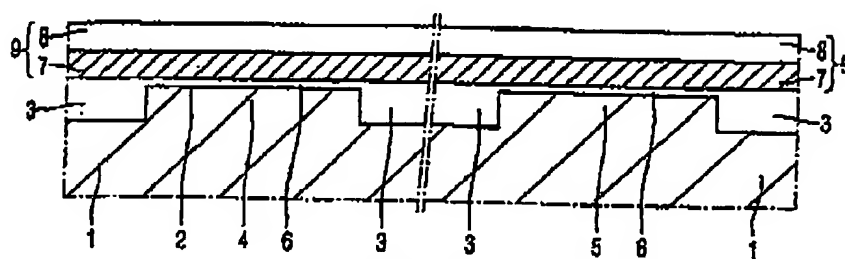


FIG. 1

【図2】

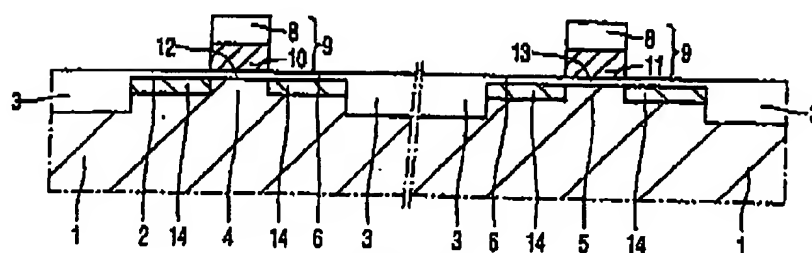


FIG. 2

【図3】

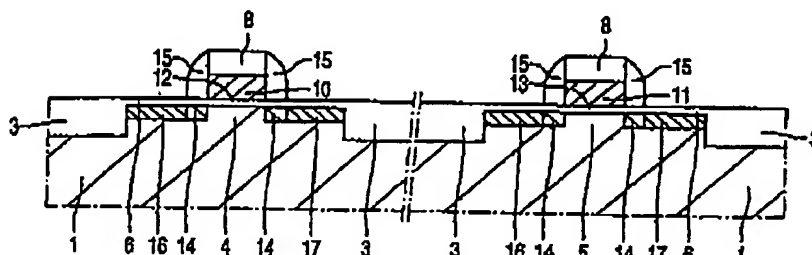


FIG. 3

(19)

特表2002-533931

【图4】

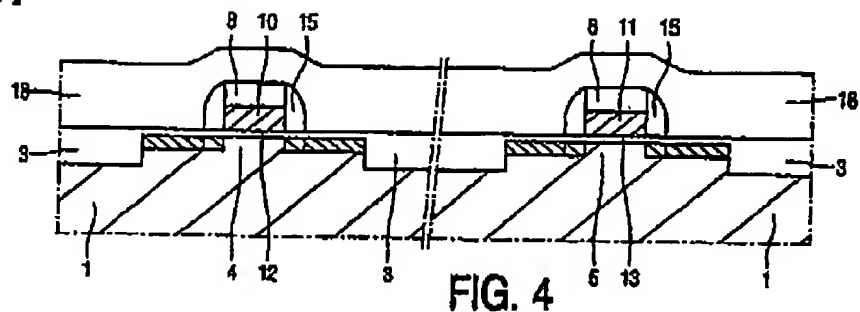


FIG. 4

【图5】

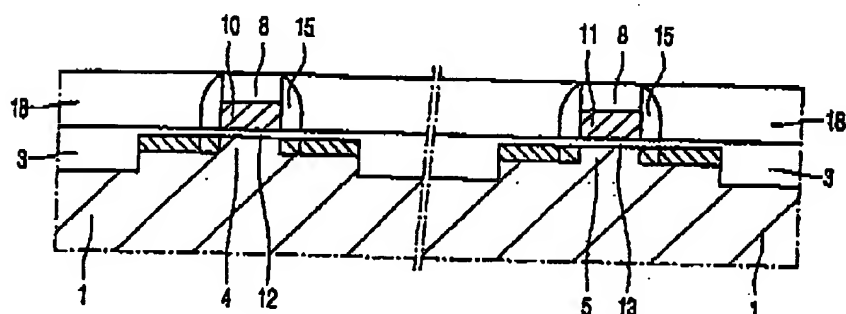


FIG. 5

【图6】

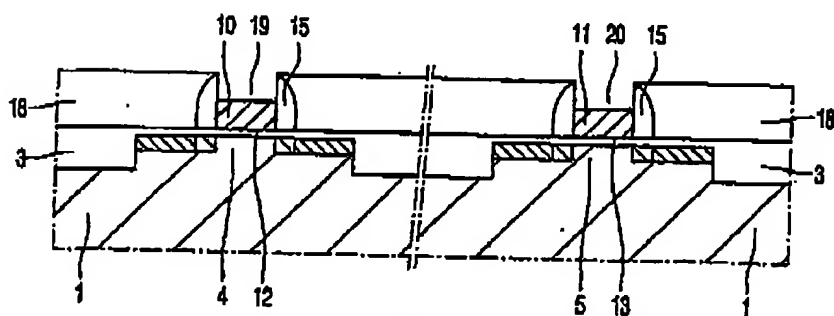


FIG. 6

(20)

特表2002-533931

【图 7】

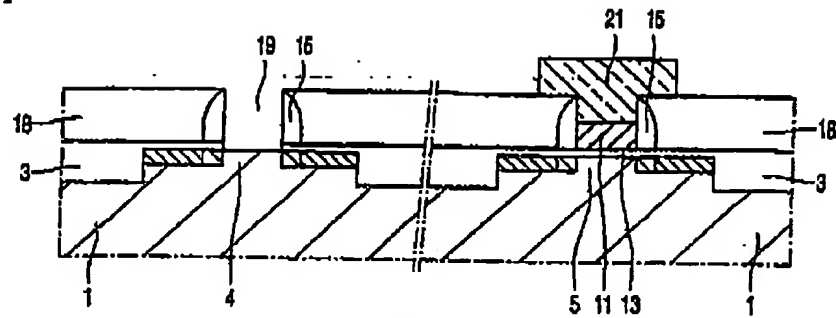


FIG. 7

【图 8】

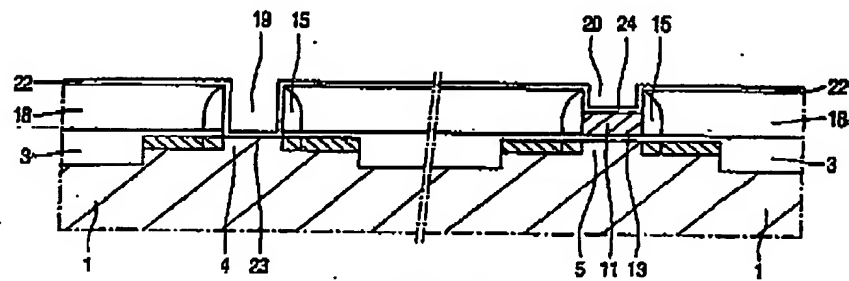


FIG. 8

【図 9】

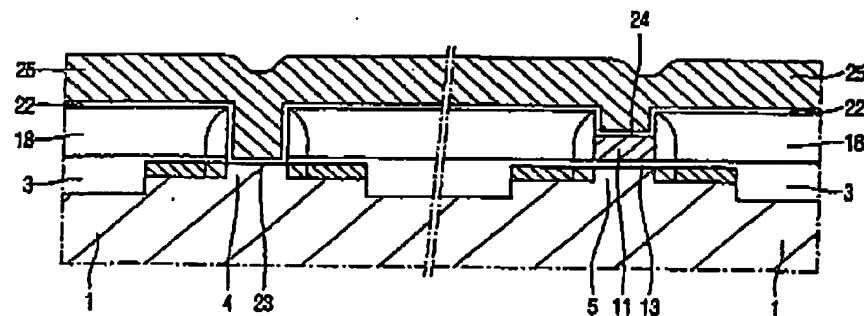


FIG. 9

(21)

特表2002-533931

【図10】

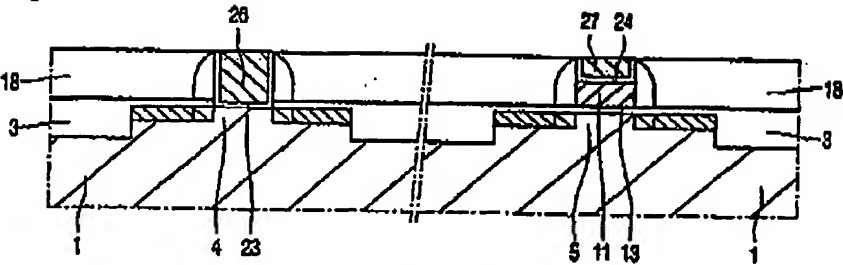


FIG. 10

(22)

特表2002-533931

## 【國際調查報告】

## INTERNATIONAL SEARCH REPORT

Inventor Application No. PCT/EP 99/09356		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/105 H01L21/8239 H01L27/115		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. PRIOR ART Minimum documentation standard (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Checkings data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Classification of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 811 983 A (363 THOMSON MICROELECTRONICS) 10 December 1997 (1997-12-10) the whole document	1
A	CHATTENJEE A ET AL: "SUB-100NM GATE LENGTH METAL GATE FPMOS TRANSISTORS FABRICATED BY A REPLACEMENT GATE PROCESS" INTERNATIONAL ELECTRON DEVICES MEETING, NY, NEW YORK, NY: IEEE, 1997, pages 821-824, XP000855919 ISBN: 0-7803-4101-5 cited in the application the whole document	1
A	EP 0 305 741 A (TOKYO SHIBAURA ELECTRIC CO) 8 March 1989 (1989-03-08) page 3, column 3, line 44 -page 5, column 7, line 48; figures 2A-6	1
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed by patent.		
* Special categories of cited documents: "a" document stating the general state of the art which is not considered to be of particular relevance "b" other document not published on or after the (so-called) filing date "c" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "d" document relating to an oral disclosure, test, exhibition or other means "e" document published prior to the international filing date but later than the priority date claimed "f" later document published after the international filing date or priority date and not in parallel with the application but cited to underline the principle or clarify underlying the invention "g" document of particular relevance the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "h" document of particular relevance the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other such documents in the art "i" document member of the same patent family		
Date of the actual completion of the international search 27 March 2000		Date of mailing of the international search report 04/04/2000
Name and mailing address of the ISA European Patent Office, P.O. Box 1 NL-2200 HY Rijswijk Tel: (+31-70) 340-2000, Tx: 91 891 epo nl, Fax: (+31-70) 340-2010		Authorized officer Albrecht, C

1

Form PCT/ISA/210 (Amended 1999) (July 1999)

page 1 of 2

(23)

特表2002-53931

## INTERNATIONAL SEARCH REPORT

C. International Documents Considered to be Relevant		Inventor's Name
Category	Class of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 845 045 A (SHIBO MASAFUMI) 4 July 1989 (1989-07-04) abstract	1

1

From PCT/EP 99/09356 (publication of second entry) (July 1999)

page 2 of 2

(24)

特表2002-533931

## INTERNATIONAL SEARCH REPORT

Information on patent family members

In: International Application No.  
PCT/EP 99/09356

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0811983 A	10-12-1997	NONE	
EP 0305741 A	08-03-1989	JP 1036077 A	07-02-1989
		JP 2684688 B	15-10-1997
		DE 3888603 D	29-04-1994
		DE 3888603 T	04-08-1994
		KR 9107377 B	26-09-1991
		US 5063431 A	05-11-1991
		US 5034798 A	23-07-1991
US 4845046 A	04-07-1989	JP 63062272 A	10-03-1989

Form PCT/ISA/210 (patent family members) (July 1998)



(25)

特表2002-533931

フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	FI	キーワード(参考)
H01L 27/115			
	29/788		
	29/792		
(71)出願人	Groenewoudseweg 1, 5621 BA Eindhoven, Th e Netherlands		
(72)発明者	ビエール ハー ウーレー オランダ国 5656 アーアー アインドー フェン プロフ ホルストラーン 6		
Fターム(参考)	4M104 HB01 HB02 HB04 HB14 HB16 BB18 BB20 BB25 BB36 BB40 DD02 DD03 DD04 DD08 DD09 DD72 DD75 DD91 EE03 EE05 EE09 EE15 EE16 EE17 FF18 GG09 GG16 HH20 5F048 AB01 AC01 BA01 BB11 BB19 BG01 BG12 BG13 5F083 EP02 EP22 EP49 ER22 JA33 JA35 JA36 JA37 JA39 JA40 NA01 PR29 PR40 PR43 PR53 5F101 BA01 BA26 BB02 BB21		

## 【要約の続き】

(5)に被着するとともにトランジスタのゲート絶縁膜(23)を与える第3絶縁層を第1アクティブ領域(4)に被着する。ゲート絶縁膜(23)及び内部ゲート絶縁膜(24)の形成後に、導電層を被着し、この導電層を第1アクティブ領域(4)にてトランジスタのゲート(26)及び第2アクティブ領域(5)にてメモリ素子の制御ゲート(27)に成形する。